

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022517

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

H01L 21/8242
H01L 21/3205
H01L 27/108
H01L 29/786

(21)Application number : 05-150231

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.06.1993

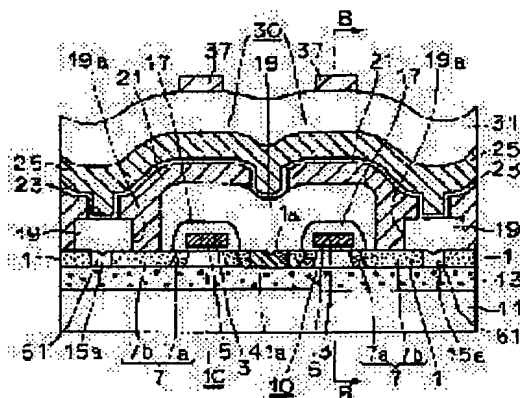
(72)Inventor : OOASHI TOSHIYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce the level difference on the surface of an layer insulating layer at the top layer by forming a semiconductor layer and a wiring layer on the top surface in such a manner that the semiconductor layer and wiring layer will touch the upper surface of the insulation layer.

CONSTITUTION: A silicon layer 1 and a bit wire 41a are formed on their top surface in such a manner that they touch the top surface of an insulation layer 13. Therefore, one layer can be omitted from layer insulating layers between the silicon layer 1 and bit wire 41a. Because of this, synergistic increase in level difference on the surface of the layer insulating layers as a result of the formation into a multilayer can be restricted, and the surface level difference of a layer insulating film 31 at the top layer can be reduced. Also, the patterning of a wiring layer 37 on the surface of the layer insulating layer 31 can be performed very accurately. Therefore, the occurrence of a defective shape or disconnection in the wiring layer due to patterning can be prevented.



LEGAL STATUS

[Date of request for examination] 17.11.1999

[Date of sending the examiner's decision of rejection] 25.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(11)特許出願公開番号

特開平7-22517

(43)公開日 平成7年(1995)1月24日

(51) Int.Cl.⁸

識別記号

片内整理番号

F I

技術表示箇所

H O 1 L 21/8242

21/3205

27/108

7210-4M

H01L 27/10

3 2 5 C

8826-4M

21/ 88

K

審査請求 未請求 請求項の数 2 OL (全 18 頁) 最終頁に続く

(21)出願番号 特願平5-150231

(22)出願日 平成5年(1993)6月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大芦 敏行

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

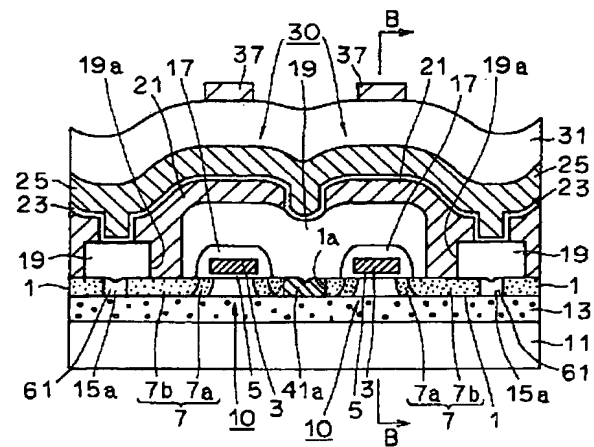
(74)代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 最上層の層間絶縁層の表面段差を低減する。

【構成】 シリコン基板 11 の表面全面に絶縁層 13 が形成されている。絶縁層 13 の上部表面に接するようにその上部表面上にシリコン層 1 が形成されている。このシリコン層 1 には所定の間隔を介在して 1 対のソース／ドレイン領域 7 が形成されている。1 対のソース／ドレイン領域 7 に挟まれる領域上にはゲート絶縁層 5 を介在してゲート電極 3 が形成されている。ソース／ドレイン領域 7 に接続され、かつ絶縁層 13 の上部表面に接して延びるようにその上部表面上にビット線 41a が形成されている。層間絶縁層 19 に形成されたコンタクトホール 19a を通じてソース／ドレイン領域 7 と接するように下部電極層 21 とキャパシタ絶縁層 23 と上部電極層 25 とからなるキャパシタ 30 が形成されている。



1: シリコン層

3: ゲート電極

5: ゲート絶縁層

7: ソース/ドレイン領域

10: MOS トランジスタ

11:シリコン基板

13: 絕緣層

19: 第1の層間絶縁層

19a: コンタクトホール

21: 下部電極層

23: キャパシタ絶縁層

25: 上部電極層

30: キャパシタ

41a: ビット線

【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、
前記半導体基板の主表面上に形成された第1の絶縁層と、
前記第1の絶縁層の上部表面に接するように前記上部表面上に形成された第1導電型の半導体層と、
所定の距離を介在して前記半導体層に形成された第2導電型の第1および第2の不純物領域と、
前記第1および第2の不純物領域に挟まれる領域上にゲート絶縁層を介在して形成されたゲート電極層と、
前記第1の不純物領域に接続され、かつ前記第1の絶縁層の上部表面に接して延在するように前記上部表面上に形成された配線層と、
前記半導体層と前記第1の導電層とを覆うように前記第1の絶縁層上に形成され、かつ前記第2の不純物領域に達する開口を有する第2の絶縁層と、
前記開口を通じて前記第2の不純物領域と接するように前記第2の絶縁層上に形成された導電層とを備えた、半導体装置。

【請求項2】 半導体基板の主表面上に第1の絶縁層を形成する工程と、
前記第1の絶縁層の上部表面に接するように前記上部表面上に第1導電型の半導体層を形成する工程と、
前記半導体層の一部表面上にゲート絶縁層を介在してゲート電極層を形成する工程と、
前記ゲート電極層の直下に位置する前記半導体層の領域を挟むように前記半導体層に第1および第2の不純物領域を形成する工程と、
前記第1の不純物領域に接続され、かつ前記第1の絶縁層の上部表面に接して延在するように前記上部表面上に配線層を形成する工程と、
前記半導体層と前記第1の導電層とを覆い、かつ前記第2の不純物領域に達する開口を有する第2の絶縁層を前記第1の絶縁層上に形成する工程と、
前記開口を通じて前記第2の不純物領域と接するように前記第2の絶縁層上に導電層を形成する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に関し、より特定的には、SOI (Silicon On Insulator) 構造を利用したMOS (Metal Oxide Semiconductor) トランジスタ (以下、SOI-MOSFETとする。) を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、コンピュータなどの情報機器の目覚ましい普及によって、半導体装置の需要が急速に拡大している。また機能的には、大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これにと

もなって、半導体装置の高集積化および高速応答性あるいは高信頼性に関する技術開発が進められている。

【0003】 半導体装置の中で、記憶情報のランダムな入出力が可能なものとしてDRAM (Dynamic Random Access Memory) が一般的に知られている。このDRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】 以下、このDRAMの構成について説明する。図30は、一般的なDRAMの構成を示すブロック図である。

【0005】 図30を参照して、DRAM650は、メモリセルアレイ651と、ロウアンドカラムアドレスバッファ652と、ロウデコーダ653と、カラムデコーダ654と、センスリフレッシュアンプ655と、データインバッファ656と、データアウトバッファ657と、クロックジェネレータ658とを備えている。

【0006】 メモリセルアレイ651は記憶情報のデータ信号を蓄積する役割をなす。ロウアンドカラムアドレスバッファ652は、単位記憶回路を構成するメモリセルを選択するためのアドレスバッファ信号を外部から受ける役割をなす。ロウデコーダ653およびカラムデコーダ654はアドレスバッファ信号を解読することによってメモリセルを指定する役割をなす。センスリフレッシュアンプ655は、指定されたメモリセルに蓄積された信号を増幅して読出す役割をなす。データインバッファ656およびデータアウトバッファ657は、データを入力または出力する役割をなす。クロックジェネレータ658はクロック信号を発生する役割をなす。

【0007】 このように構成されるDRAMの半導体チップ上において、メモリセルアレイ651は大きな面積を占めている。また、このメモリセルアレイ651には、単位記憶情報を蓄積するためのメモリセルがマトリクス状に複数個配列されて形成されている。

【0008】 図31は、メモリセルアレイの構成を説明するための4ビット分の等価回路図である。図31を参照して、通常、メモリセルは1個のMOSトランジスタ610と、これに接続された1個のキャパシタ630とから構成されている。このメモリセルは、1トランジスタ1キャパシタ型のメモリセルとして広く知られている。このような構成を有するメモリセルは、その構造が簡単のためメモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

【0009】 図32は、1トランジスタ1キャパシタ型のメモリセルとしてSOI-MOSFETを用いた従来の半導体装置を概略的に示す断面図である。また図33は、図32のH-H線に沿う概略断面図である。図32と図33を参照して、シリコン基板611の表面全面には、絶縁層613が形成されている。この絶縁層613

3

の表面上にはシリコン層601が島状に形成されている。この絶縁層613上のシリコン層601を利用して（すなわちSOI構造を利用して）MOSトランジスタ610が形成されている。

【0010】MOSトランジスタ610は、ゲート電極603と、ゲート絶縁層605と、1対のソース/ドレイン領域607とを有している。1対のソース/ドレイン領域607は、所定の距離を介在してシリコン層601に形成されている。このソース/ドレイン領域607は、LDD（Lightly Doped Drain）構造を有している。すなわち、ソース/ドレイン領域607は、比較的低濃度の不純物領域607aと、比較的高濃度の不純物領域607bとの2層構造より構成されている。この1対のソース/ドレイン領域607に挟まれる領域上に、ゲート絶縁層605を介在してゲート電極603が形成されている。このゲート電極603の表面を覆うように絶縁層617がシリコン層601上に形成されている。

【0011】MOSトランジスタ610を覆うように絶縁層613の表面全面に第1の層間絶縁層619が形成されている。この第1の層間絶縁層619には、1対のソース/ドレイン領域607のいずれか一方に達するコンタクトホール619aが形成されている。このコンタクトホール619aを通じてソース/ドレイン領域607と電気的に接続されるようにキャパシタ630が形成されている。

【0012】キャパシタ630は、下部電極層621と、キャパシタ絶縁層623と、上部電極層625とを有している。下部電極層（ストレージノード）621は、コンタクトホール619aを通じてソース/ドレイン領域607と接するように第1の層間絶縁層619上に形成されている。この下部電極層621の表面上を覆うようにキャパシタ絶縁層623が形成されている。このキャパシタ絶縁層623を介在して下部電極層621を覆うように上部電極層（セルプレート）625が形成されている。

【0013】キャパシタ630を覆うように第1の層間絶縁層619の表面全面に第2の層間絶縁層631が形成されている。第1および第2の層間絶縁層には、この2層を突き抜けて1対のソース/ドレイン領域607のいずれか他方に達するコンタクトホール631aが設けられている。このコンタクトホール631aを通じてソース/ドレイン領域607と接するようにビット線641が第2の層間絶縁層631上に形成されている。

【0014】ビット線641の表面を覆うように第2の層間絶縁層631の表面全面に第3の層間絶縁層645が形成されている。この第3の層間絶縁層645の表面上に所望の形状にパターニングされた複数本のアルミニウム配線層637が形成されている。

【0015】

【発明が解決しようとする課題】上記のようなSOI-

4

MOSFETでは、絶縁層613の厚み分だけキャパシタ630、ビット線641の配線などとシリコン基板611との間隔が長くなる。このため、配線-基板間の容量、いわゆる配線容量が低減され、回路の動作速度が高速化される。またCMOSに適用した場合にはラッチアップ現象を防ぐこともできる。さらにショートチャネル効果の低減、電流駆動能力の向上、サブスレッショルド特性の向上など種々の利点を有している。

【0016】それゆえ、このSOI-MOSFETをDRAMのメモリセルに適用した場合には、ソフトウェアやラッチアップの抑制された、かつリフレッシュ特性の向上された高信頼性のデバイスを得ることが可能となる。

【0017】しかし、従来の半導体装置の構成では、MOSトランジスタ610、キャパシタ630、ビット線641が各々異なる層の上に形成されている。このため、以下に述べる問題点があった。

【0018】図33を参照して、絶縁層613上にはシリコン層601が島状に形成されている。このため、シリコン層601と絶縁層613とにより段差が構成される。よって、この段差部を覆う第1の層間絶縁層619には、下層の段差を反映して表面段差が生じる。

【0019】この表面段差を有する第1の層間絶縁層619の表面上に所望の形状にパターニングされた下部電極層621が形成されており、この下部電極層621と第1の層間絶縁層619とからも段差が構成されている。すなわち、第1の層間絶縁層619の表面段差に、さらに下部電極層637により段差が付与される。このため、この段差部上を覆う第2の層間絶縁層631には、第1の層間絶縁層619の表面段差よりも大きい表面段差が生じる。このように素子や配線などの導電層が多層化される場合、これらの導電層を絶縁する層間絶縁層のうち上層の層間絶縁層ほどその表面段差が相乗的に大きくなる。

【0020】従来のメモリセル構造では、上述したようにMOSトランジスタ610、キャパシタ630、ビット線641が各々異なる層上に形成され、これら導電層が3層構造を有している。このため、最上層の層間絶縁層645の表面段差は、上述の相乗効果によって非常に大きくなる。このように大きな表面段差を有する層間絶縁層645上において、配線層637をパターニングする場合、所望の形状にパターニングすることは困難を極め、配線層637の断線や形状不良が生じる。

【0021】図34は、下層の表面段差が大きい場合に配線層が断線や形状不良を生じる様子を説明するための概略平面図である。また図35は、図34のJ-J線に沿う概略断面図である。

【0022】図34と図35とを参照して、配線層をパターニングにより形成する場合、まず第3の層間絶縁層645全面に配線層となる導電層637が形成され、こ

5

の導電層637上にフォトリソスト647が塗布される。次に、フォトリソスト647の所望部分647bのみが露光され、これにより所望形状のレジストパターン647aが形成される。

【0023】しかし、このフォトリソスト647の露光時において、露光されるべき領域647bの下層に表面段差があると、本来露光されるべきでない領域647aまでが露光され、レジストパターンに形状不良が生じる。

【0024】特に、図34に示すように周囲を凸部に取囲まれた凹部645aでは、凸部と凹部645aとの境界の側壁部において露光光が反射する。これによって、露光光が凹部645aの中心部に集められる、いわゆる凹面鏡化が生じる。この凹面鏡化が生じた場合、フォトリソスト647のレジストパターンとなる部分647aが大幅に露光されることとなる。このため、レジストパターン647aに大きなパターンの欠損などが生じ、レジストパターン647aの形状が劣化してしまう。

【0025】この形状の劣化が生じたレジストパターン647aをマスクとして導電層637をエッチング除去した場合、図36の平面図に示すように部分的に線幅の小さい形状不良の生じた配線層637が形成されることとなり、最悪の場合、配線層637は断線してしまう。このように配線層637に形状不良が生じた場合、配線層637の配線抵抗が増加し、また配線層637が断線した場合には配線層637は配線として機能しなくなるという問題点があった。

【0026】本発明は、上記のような問題点を解決するためになされたもので、最上層の層間絶縁層の表面段差を低減できる半導体装置およびその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、第1の絶縁層と、半導体層と、第1および第2の不純物領域と、ゲート電極層と、配線層と、第2の絶縁層と、導電層とを備えている。半導体基板は主表面を有している。第1の絶縁層は半導体基板の主表面上に形成されている。半導体層は第1導電型であり、第1の絶縁層の上部表面に接するように上部表面上に形成されている。第1および第2の不純物領域は第2導電型であり、所定の距離を介して半導体層に形成されている。ゲート電極層は第1および第2の不純物領域に挟まれる領域上にゲート絶縁層を介して形成されている。配線層は、第1の不純物領域に接続され、かつ第1の絶縁層の上部表面に接して延在するように上部表面上に形成されている。第2の絶縁層は半導体層と第1の導電層とを覆うように第1の絶縁層上に形成され、かつ第2の不純物領域に達する開口を有している。導電層は、開口を通じて第2の不純物領域と接するように第2の絶縁層上に形成されている。

6

【0028】本発明の半導体装置の製造方法は以下の工程を備えている。まず半導体基板の主表面上に第1の絶縁層が形成される。そして第1の絶縁層の上部表面に接するように上部表面上に第1導電型の半導体層が形成される。そして半導体層の一部表面上にゲート絶縁層を介してゲート電極層が形成される。そしてゲート電極層の直下に位置する半導体層の領域を挟むように半導体層に第1および第2の不純物領域が形成される。そして第1の不純物領域に接続され、かつ第1の絶縁層の上部表面に接して延在するように上部表面上に配線層が形成される。そして半導体層と第1の導電層とを覆い、かつ第2の不純物領域に達する開口を有する第2の絶縁層が第1の絶縁層上に形成される。そして開口を通じて第2の不純物領域と接するように第2の絶縁層上に導電層が形成される。

【0029】

【作用】本発明の半導体装置では、半導体層と配線層とが絶縁層の上部表面に接するようにその上部表面上に形成されている。すなわち、半導体層と配線層とは同一層上に形成されている。このため、半導体層と配線層との間に層間絶縁層は不要となり、その分、多層化によって層間絶縁層の表面段差が相乗的に大きくなることは抑制される。ゆえに、最上層に形成される層間絶縁層の表面段差を小さくすることができ、その層間絶縁層の表面上における配線層のパターニングも精度良く行なうことができる。したがって、パターニングによって配線層に形状不良や断線の生じることが防止され得る。

【0030】

【実施例】以下、本発明の実施例を図に基づいて説明する。

【0031】図1は、本発明の第1の実施例における半導体装置の構成を示すメモリセルアレイ内の部分平面図である。図2は図1のA-A線に沿う概略断面図であり、図3は図1と図2のB-B線に沿う概略断面図である。

【0032】主に図1を参照して、メモリセル内には、複数本のワード線 $W_1, W_2, W_3, \dots, W_n$ と複数本のビット線 $B_1, B_2, B_3, \dots, B_m$ とが互いに直交するように配置されている。すなわち、複数本のワード線は行方向に伸び、かつ複数本のビット線は列方向に伸びている。この各ワード線3とビット線41aとの交差部付近にはメモリセルが配置されている。このメモリセルは、1トランジスタ1キャパシタ型のメモリセルであり、トランジスタ10とキャパシタ（図示せず）とから構成されている。

【0033】主に図2と図3を参照して、シリコン基板11の表面全面には絶縁層13が5000Å程度の厚みで形成されている。この絶縁層13の表面上には複数個のシリコン層1が互いに所定の間隔を介してマトリク

7

ス状に配置・形成されている。また各シリコン層1は1000Å程度の厚みで、かつ島状に形成されている。シリコン層1の周辺を取囲むようにシリコン窒化物層15aが形成されている。またシリコン層は、シリコン窒化物層15aから露出する側壁を有する切欠き部1aを有している。この切欠き部1aにおいてシリコン層601はビット線41aと接している。ビット線41aは、不純物が注入された多結晶シリコン層（以下、ドーパド多結晶シリコンとする）により形成されている。

【0034】各シリコン層1間の溝61内はシリコン窒化物層15aにより埋込まれている。また各シリコン層1間の溝63内は、シリコン窒化物のサイドウォール15aとビット線41aとにより埋込まれている。すなわち、島状に形成された複数のシリコン層1によって形成される溝61、63はシリコン窒化物膜15aとビット線41aとにより埋込まれているため、シリコン層1間での段差は低減されている。この絶縁層13上のシリコン層1を利用して（すなわちSOI構造を利用して）MOSトランジスタ10が形成されている。

【0035】MOSトランジスタ10は、ゲート電極3と、ゲート絶縁層5と、1対のソース／ドレイン領域7とを有している。この1対のソース／ドレイン領域7は、互いに所定の間隔を介してシリコン層1内に形成されている。1対のソース／ドレイン領域7は、LDD構造を有している。すなわち、ソース／ドレイン領域7は、比較的低濃度の不純物領域7aと比較的高濃度の不純物領域7bとの2層構造よりなっている。この1対のソース／ドレイン領域7に挟まれる領域上には、150Å程度の厚みのゲート絶縁層5を介在してゲート電極3が形成されている。このゲート電極3の厚みは2000Å程度である。

【0036】このゲート電極3とビット線41aと交差する部分においては、ゲート電極3とビット線41aとの間に150Å程度の膜厚を有する絶縁層43があり、これによりゲート電極3とビット線41aとの絶縁がなされている。1対のソース／ドレイン領域7のいずれか一方には、シリコン層1に設けられた切欠き部1aを通じてビット線41aが接続されている。ゲート電極3の表面を覆うように絶縁層17がシリコン層1上に形成されている。ゲート電極3の上部表面上に形成される絶縁層17の厚みは2000Å程度である。

【0037】MOSトランジスタ10を覆うように基板全面に第1の層間絶縁層19が形成されている。この第1の層間絶縁層19には、1対のソース／ドレイン領域7のいずれか他方に達するコンタクトホール19aが形成されている。このコンタクトホール19aを通じてソース／ドレイン領域7と電気的に接続するようにキャパシタ30が形成されている。

【0038】キャパシタ30は、下部電極層21と、キャパシタ絶縁層23と、上部電極層25とを有してい

8

る。下部電極層21は、コンタクトホール19aを通じてソース／ドレイン領域7と接するように第1の層間絶縁層19上に形成されている。この下部電極層21の厚みは2000Å程度である。下部電極層21の表面全面を覆うようにキャパシタ絶縁層23が形成されている。このキャパシタ絶縁層23は、たとえばシリコン酸化物層とシリコン窒化物層との2層構造よりなり、この場合においてシリコン酸化物層とシリコン窒化物層との厚みは各々150Åと100Åである。キャパシタ絶縁層23を介在して下部電極層21を覆うように上部電極層25が3000Å程度の厚みで形成されている。

【0039】このキャパシタ30を覆うように第2の層間絶縁層31が形成されている。この第2の層間絶縁層31の表面上には所望の形状にパターニングされた複数のアルミニウム配線層37が形成されている。

【0040】次に、本発明の第1の実施例における半導体装置の製造方法について説明する。

【0041】図4と図5は、本発明の第1の実施例における半導体装置の製造方法においてSOI構造を形成する工程を示す概略断面図である。また図6～図21は、本発明の第1の実施例における半導体装置の製造方法を工程順に示す概略断面図である。なお、図6～図21の各図において（a）は図1のA-A線に沿う概略断面図を示し、（b）は図1のB-B線に沿う概略断面図を示し、（c）は図1の部分平面図を示している。

【0042】まず図4を参照して、シリコン基板11が準備される。図5を参照して、シリコン基板11を500～600℃に加熱した状態で、シリコン基板11の上面から酸素イオンが注入される。この注入条件は、たとえば加速エネルギー200keV、ドーズ量 $2.0 \times 10^{18} / \text{cm}^2$ である。酸素イオンの注入でシリコン基板11と酸素イオンとが反応し、シリコン酸化物よりなる絶縁層13が形成される。この絶縁層13は、シリコン基板11の上部表面から1000～6000Åの深さ位置に形成されるため、絶縁層13上には1000Å程度の厚みを有するシリコン層1が存在することとなる。この後、たとえば1300℃以上の高温で、 Ar/O_2 雰囲気中で5時間程度の熱処理が行なわれる。これにより、酸素イオンの注入で生じた欠陥が消失し結晶性が回復することにより、単結晶よりなるシリコン層1が形成される。

【0043】図6（a）、（b）、（c）を参照して、フォトリソグラフィ法およびエッチング法を用いてシリコン層1が所望の形状にパターニングされる。これにより、複数のシリコン層1が、切欠き部1aを有するように島状に形成される。また島状に形成されるため、各シリコン層1間には溝61、63が形成される。

【0044】図7（a）、（b）、（c）を参照して、基板11の表面全面にCVD法にてシリコン窒化物層15が1.2μm以上の厚みで形成される。この後、シリコン窒化物層15に全面異方性エッチングが施される。

【0045】図8(a)、(b)、(c)を参照して、この全面異方性エッチングにより、シリコン層1間の溝61と切欠き部1aとがシリコン窒化物層15aにより埋込まれる。これに対してシリコン層1間の溝63は完全には埋込まれず、シリコン層1の側壁にサイドウォールスペーサ状にシリコン窒化物膜15aが残存する。

【0046】なお、溝61や切欠き部1aのようにその溝内部を完全に埋込むには、埋込むべき溝1a、61の幅 T_1 、 T_2 の2分の1以上の膜厚でシリコン窒化物層15を形成すればよい。具体的には、溝61と切欠き部1aの幅 T_1 、 T_2 が $0.6\mu\text{m}$ の場合には、シリコン窒化物膜15を $1.2\mu\text{m}$ 以上の厚みで積んだ後にオーバーエッチングを施せばよい。

【0047】図9(a)、(b)、(c)を参照して、基板11の表面全面にフォトレジスト51が塗布される。このフォトレジスト51に露光処理などによって、切欠き部1aの上部にホールパターン51aが形成される。このレジストパターン51をマスクとしてホールパターン1aより露出するシリコン窒化物膜15aにエッチングが施される。このエッチングは、シリコン層1の厚みに対して100%のオーバーエッチングのドライエッチングもしくは弗酸(HF)を用いたウェットエッチングにより行なわれる。

【0048】図10(a)、(b)、(c)を参照して、これにより切欠き部1a内を満たしていたシリコン窒化物膜15aがエッチング除去され、切欠き部1aにおいてシリコン層1の側壁が露出する。この後、レジストパターン51が除去される。次に基板11の表面全面にドー프트多結晶シリコン層41が形成される。このドー프트多結晶シリコン層41の表面全面に異方性エッチングが施される。

【0049】図11(a)、(b)、(c)を参照して、このエッチングにより、切欠き部1aと溝63を埋込むビット線41aが形成される。このビット線41aは、切欠き部1aにおいてシリコン層1の側壁に接する。この後、熱酸化処理によりシリコン層1の上部表面と多結晶シリコンよりなるビット線41aの上部表面とに 150\AA 程度の厚みでシリコン酸化膜5および43が形成される。

【0050】図12(a)、(b)を参照して、溝61、63および切欠き部1aがシリコン窒化物膜15aとビット線41aとにより埋込まれ、その上部表面が平坦化された基板全面上にドー프트多結晶シリコン層3がCVD法にて 2000\AA 程度の厚みで形成される。またドー프트多結晶シリコン層3の表面全面にCVD法にてシリコン酸化物層17aが 2000\AA 程度の厚みで形成される。

【0051】図13(a)、(b)を参照して、シリコン酸化物層17aの表面上に所望の形状を有するレジストパターン53が形成される。このレジストパターン5

3をマスクとしてシリコン酸化物層17aおよびドーフト多結晶シリコン層3が順次エッチング除去されてパターンニングされる。このパターンニングにより、ドーフト多結晶シリコンよりなるゲート電極3が形成される。この後、レジストパターン53が除去される。

【0052】図14(a)、(b)を参照して、シリコン酸化物層17aとゲート電極3とをマスクとしてシリコン層1にイオン注入が施される。このイオン注入により、ゲート電極3の下側領域を挟むように1対の比較的低濃度の不純物領域7aが形成される。

【0053】図15(a)、(b)を参照して、基板の表面全面にシリコン酸化物層17bがCVD法により形成される。このシリコン酸化物層17bの全面に異方性エッチングが施される。

【0054】図16(a)、(b)を参照して、この異方性エッチングにより、ゲート電極3およびシリコン酸化物層17aの側壁を覆うようにサイドウォール17bが形成される。このシリコン酸化物層17aと17bとによりゲート電極3の表面を覆う絶縁層17が構成される。この絶縁層17とゲート電極3とをマスクとしてシリコン層1に再度、イオン注入が施される。このイオン注入により、絶縁層17の下側領域を挟むように1対の比較的高濃度の不純物領域7bが形成される。この比較的高濃度の不純物領域7bと比較的低濃度の不純物領域7aとによりLDD構造をなすソース/ドレイン領域7が構成される。この1対のソース/ドレイン領域7とゲート絶縁膜5とゲート電極3とによりMOSトランジスタ10が構成される。

【0055】図17(a)、(b)を参照して、MOSトランジスタ10を覆うように基板の表面全面に 4000\AA 程度の厚みで第1の層間絶縁層19がたとえばシリコン酸化物により形成される。

【0056】図18(a)、(b)を参照して、第1の層間絶縁層19の表面全面にフォトレジスト55が塗布される。このフォトレジスト55が露光処理などによりパターンニングされる。このレジストパターン55をマスクとして第1の層間絶縁層19に異方性エッチングが施され、これにより $0.6\mu\text{m}$ 程度の開口径を有するコンタクトホール19aが形成される。このコンタクトホール19aからは、1対のソース/ドレイン領域7のいずれか一方の表面が露出する。この後、レジストパターン55が除去される。

【0057】図19(a)、(b)を参照して、コンタクトホール19aを通じてソース/ドレイン領域7と接するように第1の層間絶縁層19の表面全面にドーフト多結晶シリコン層21が 2000\AA 程度の厚みで形成される。このドーフト多結晶シリコン層21の表面上に所望の形状を有するレジストパターン57が形成される。このレジストパターン57をマスクとしてドーフト多結晶シリコン層21がエッチングによりパターンニングされ

11

る。このパターンニングによって、ソース／ドレイン領域7と接する下部電極層21が形成される。この後、レジストパターン57が除去される。

【0058】図20(a)、(b)を参照して、下部電極層21の表面全面を覆うようにキャパシタ絶縁層23が形成される。このキャパシタ絶縁層23は、シリコン酸化物層とシリコン窒化物層が各々CVD法により150Å、100Å程度の厚みで堆積されることによって形成される。このキャパシタ絶縁層23を介在して下部電極層21を覆うようにドーパド多結晶シリコン層よりなる上部電極層25がCVD法にて3000Å程度の厚みで形成される。この下部電極層21とキャパシタ絶縁層23と上部電極層25とによりキャパシタ30が構成される。

【0059】図21(a)、(b)を参照して、キャパシタ30を覆うように第2の層間絶縁層31が1000Å程度の厚みで形成される。この層間絶縁層31の表面上に表面の平坦化のためレジスト膜(図示せず)が形成される。このレジスト膜は、SOG(Spin On Glass)膜を塗布することによって形成された膜であってもよい。この後、レジスト膜およびシリコン酸化物層31にエッチバックが施される。これにより、その表面が比較的平坦にされ、かつ最も膜厚の厚い部分で7000Åの厚みを有する第2の層間絶縁層31が形成される。この第2の層間絶縁層31の表面上にアルミニウム層がスパッタ法にて5000Å程度の厚みで形成される。この後、アルミニウム層がフォトリソグラフィ法およびドライエッチング法によりパターンニングされる。これによって、所望の形状を有するアルミニウム配線層37が形成される。

【0060】本実施例では、シリコン層1とビット線41aとが絶縁層13の上部表面に接するようにその上部表面上に形成されている。すなわち、シリコン層1とビット線41aとは同一層上に形成されている。それゆえ従来の半導体装置の構成に比較してシリコン層1とビット線41aとの間の層間絶縁層を一層省略することが可能となる。このため、本実施例の半導体装置の構成においては、多層化によって層間絶縁層の表面段差が相乗的に大きくなることは層間絶縁層を一層省略できた分だけ抑制され得る。ゆえに、最上層の層間絶縁層31の表面段差を小さくすることができ、その層間絶縁層の表面上における配線層37のパターンニングも精度良く行なうことができる。したがって、パターンニングによって配線層に形状不良や断線の生じることが防止され得る。

【0061】また本実施例のようにSOI-MOSFET10を用いた場合、各シリコン層1は島状に形成されるため、各シリコン層1内に溝61、63による段差が生じてしまう。しかし、溝61はシリコン窒化物層15aによって、溝63はシリコン窒化物層15aとビット線41aとによって各々埋込まれている。また溝61、

12

63内に埋込まれたシリコン窒化物層15aとビット線41aとの上部表面は各シリコン層1の上部表面と実質的に同一平面をなしている。このため、各シリコン層1間の溝による段差は低減され、実質的に平坦な表面が実現される。

【0062】このように本実施例では、各シリコン層1間の溝による段差が低減されるため、その分だけ最上層の層間絶縁層31の表面段差を小さくすることができ

る。

【0063】さらに、各シリコン層1間の溝による段差が低減されるため、各シリコン層1上を延在するゲート電極層3のパターンニング時の精度も向上する。このため、ゲート電極層3に形状不良や断線が生じにくくなり、所望の特性を有するMOSトランジスタ10を作製することが容易となる。

【0064】なお、本実施例においては、シリコン層1に切欠き部1aを設けている。また、その切欠き部1aにおいてビット線41aとシリコン層1に形成されたソース／ドレイン領域7とが接触する構成としている。しかし、本発明はこれに限定されるものではない。以下、シリコン層に切欠き部を設けずにシリコン層内のソース／ドレイン領域とビット線とを接続させた構成を第2および第3の実施例として説明する。

【0065】図22は、本発明の第2の実施例における半導体装置の構成を図1に対応する平面で示す部分平面図である。また図23は図22のC-C線に沿う概略断面図である。

【0066】図22と図23を参照して、シリコン層101には切欠き部は設けられていない。ただシリコン層101の周囲を取囲むシリコン窒化物層15aに一部切欠き部が設けられている。このシリコン窒化物層15aの切欠き部においてシリコン層101の側壁が一部露出している。この露出するシリコン層101の側壁にビット線141aが接している。これにより、両トランジスタ10が共有するシリコン層101内のソース／ドレイン領域7とビット線141aとが電気的に接続される。

【0067】これ以外の構成については第1の実施例の構成とほぼ同様であるためその説明は省略する。

【0068】図24は、本発明の第3の実施例における半導体装置の構成を図1に対応する平面で示す部分平面図である。また図25は、図24のD-D線に沿う概略断面図である。

【0069】図24と図25を参照して、シリコン層201には切欠き部は設けられていない。またシリコン層201の周囲を取囲むシリコン窒化物層15aにも切欠き部は設けられていない。ビット線241aは各シリコン層201間の溝内を埋め込むように形成されている。このシリコン層201とビット線241a上に導電層242が所望の形状で形成されている。この導電層242によりシリコン層201に形成されたソース／ドレイン

13

領域7とビット線241aとが電氣的に接続されている。

【0070】これ以外の構成については第1の実施例とほぼ同様であるためその説明は省略する。

【0071】また、第1、第2および第3の実施例においては、本発明を1トランジスタ1キャパシタ型のメモリセルに適用した場合について述べた。しかし、本発明はこれに限定されず、単に、トランジスタと配線層との接続構造に用いてもよい。以下、トランジスタとそれに接続される配線層との接続構造に本発明を適用した構成を第4の実施例として従来例と比較しながら説明する。

【0072】図26は、従来のMOSトランジスタと配線層との接続構造を示す概略平面図である。また図27は図26のE-E線に沿う概略断面図である。

【0073】図26と図27を参照して、シリコン基板311の表面全面に層間絶縁層313が形成されている。この層間絶縁層313の表面上にシリコン層301が島状に形成されている。このSOI構造を利用してMOSトランジスタ310は形成されている。

【0074】MOSトランジスタ310は、ゲート電極303と、ゲート絶縁層305と、1対のソース/ドレイン領域307とを有している。1対のソース/ドレイン領域307は所定の間隔を介してシリコン層301に形成されている。このソース/ドレイン領域307は比較的低濃度の不純物領域307aと比較的高濃度の不純物領域307bとの2層構造、いわゆるLDD構造を有している。1対のソース/ドレイン領域307に挟まれる領域上にはゲート絶縁層305を介在してゲート電極303が形成されている。このゲート電極303を覆うように絶縁層317が形成されている。

【0075】MOSトランジスタ310を覆うように絶縁層313の表面全面には層間絶縁層319が形成されている。この層間絶縁層319には、1対のソース/ドレイン領域307のいずれか一方に達するコンタクトホール319aが形成されている。このコンタクトホール319aを充填するように導電層よりなるプラグ層321が形成されている。このプラグ層321の上部表面に接するようにバリア層323を介在して配線層323が第1の層間絶縁層319上に形成されている。

【0076】この配線層325を覆うように第1の層間絶縁層319の表面全面には第2の層間絶縁層327が形成されている。この第1と第2の層間絶縁層319、327には、この2層を突き抜け、1対のソース/ドレイン領域307のいずれか他方に達するコンタクトホール319bが形成されている。このコンタクトホール319bを埋込むように導電層よりなるプラグ層331が形成されている。このプラグ層331の上部表面に接するようにバリア層333を介在して第2の配線層335が第2の層間絶縁層327上に形成されている。

【0077】このようにソース/ドレイン領域307に

14

接続される各配線層325と335とが異なる層上に形成される場合には、従来の構成では第1および第2の層間絶縁層319、327の2層が必要となる。このため、上層の第2の層間絶縁層327においては、その表面段差が比較的大きくなる。よって、配線層335のパターニングが上述と同様精度良く行なうことが困難となる。

【0078】図28は、本発明の第4の実施例における半導体装置の構成を概略的に示す平面図である。また図29は、図28のF-F線に沿う概略断面図である。

【0079】図28と図29を参照して、本実施例の半導体装置においては、シリコン基板401上に絶縁層413を介在して形成されたシリコン層401に、ゲート電極403とゲート絶縁層405と1対のソース/ドレイン領域407とを有するSOI-MOSFET410が形成されている。シリコン層401は絶縁層413の上部表面に接して形成されている。また、このシリコン層401の側壁に接し、それによってソース/ドレイン領域407と接する第1の配線層420も絶縁層413の上部表面に接して延びるように形成されている。すなわち、シリコン層401のソース/ドレイン領域に接続される第1の配線層420は、シリコン層401と同一層上に形成されている。

【0080】なおこれ以外の構成については図26、図27に示す構成とほぼ同様であるためその説明は省略する。

【0081】このように、第1の配線層420がシリコン層401と同一層上に形成されているため、シリコン層401と第1の配線層420との間に層間絶縁層は不要となる。それゆえ、層間絶縁層が一層不要となった分、多層化によって層間絶縁層の表面段差が相乗的に大きくなることは抑制される。ゆえに、層間絶縁層419の表面段差は図27に示す第2の層間絶縁層327の表面段差より小さくすることができる。このため、この層間絶縁層419の表面上にバリア層433を介在して形成される第2の配線層435のパターニングも精度良く行なうことができる。したがって、パターニングによって第2の配線層435に形状不良や断線の生じることが防止され得る。

【0082】なお、第1、第2および第3の実施例においてはシリコン層とビット線とが接続される構成について説明したが、ビット線とシリコン層とが一体形状をなしていてもよい。また第4の実施例においてもシリコン層と第1の配線層とを接触させた構成について説明したが、シリコン層と第1の配線層とが一体形状を有していてもよい。

【0083】

【発明の効果】本発明の半導体装置では、半導体層と配線層とが絶縁層の上部表面に接するようにその上部表面上に形成されている。すなわち、半導体層と配線層とは

同一層上に形成されている。このため、最上層に形成される層間絶縁層の表面段差を小さくすることができ、その層間絶縁層の表面上における配線層のパターニングを精度良く行なうことができる。したがって、配線層の形状不良や断線を防止することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における半導体装置の構成を示すメモリセルアレイ内の部分平面図である。

【図 2】図 1 の A-A 線に沿う概略断面図である。

【図 3】図 1、図 2 の B-B 線に沿う概略断面図である。

【図 4】本発明の第 1 の実施例における半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 5】本発明の第 1 の実施例における半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 6】本発明の第 1 の実施例における半導体装置の製造方法の第 3 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 7】本発明の第 1 の実施例における半導体装置の製造方法の第 4 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 8】本発明の第 1 の実施例における半導体装置の製造方法の第 5 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 9】本発明の第 1 の実施例における半導体装置の製造方法の第 6 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 10】本発明の第 1 の実施例における半導体装置の製造方法の第 7 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 11】本発明の第 1 の実施例における半導体装置の製造方法の第 8 工程を示す概略断面図 (a)、(b) と部分平面図 (c) である。

【図 12】本発明の第 1 の実施例における半導体装置の製造方法の第 9 工程を示す概略断面図 (a)、(b) である。

【図 13】本発明の第 1 の実施例における半導体装置の製造方法の第 10 工程を示す概略断面図 (a)、(b) である。

【図 14】本発明の第 1 の実施例における半導体装置の製造方法の第 11 工程を示す概略断面図 (a)、(b) である。

【図 15】本発明の第 1 の実施例における半導体装置の製造方法の第 12 工程を示す概略断面図 (a)、(b) である。

【図 16】本発明の第 1 の実施例における半導体装置の製造方法の第 13 工程を示す概略断面図 (a)、(b) である。

【図 17】本発明の第 1 の実施例における半導体装置の製造方法の第 14 工程を示す概略断面図 (a)、(b)

である。

【図 18】本発明の第 1 の実施例における半導体装置の製造方法の第 15 工程を示す概略断面図 (a)、(b) である。

【図 19】本発明の第 1 の実施例における半導体装置の製造方法の第 16 工程を示す概略断面図 (a)、(b) である。

【図 20】本発明の第 1 の実施例における半導体装置の製造方法の第 17 工程を示す概略断面図 (a)、(b) である。

【図 21】本発明の第 1 の実施例における半導体装置の製造方法の第 18 工程を示す概略断面図 (a)、(b) である。

【図 22】本発明の第 2 の実施例における半導体装置の構成を概略的に示す平面図である。

【図 23】図 22 の C-C 線に沿う概略断面図である。

【図 24】本発明の第 3 の実施例における半導体装置の構成を概略的に示す平面図である。

【図 25】図 24 の D-D 線に沿う概略断面図である。

【図 26】従来の MOS トランジスタとそれに接続される配線層との接続構造を概略的に示す平面図である。

【図 27】図 26 の E-E 線に沿う概略断面図である。

【図 28】本発明の第 4 の実施例における半導体装置の構成を概略的に示す平面図である。

【図 29】図 28 の F-F 線に沿う概略断面図である。

【図 30】一般的な DRAM のブロック図である。

【図 31】メモリセルアレイの構成を説明するための 4 ビット分の等価回路図である。

【図 32】従来の半導体装置の構成を概略的に示す断面図である。

【図 33】図 32 の H-H 線に沿う概略断面図である。

【図 34】従来の半導体装置において配線層に断線や形状不良が生じる様子を説明するための概略平面図である。

【図 35】図 34 の J-J 線に沿う概略断面図である。

【図 36】従来の半導体装置において配線層に形状不良が生じた様子を示す概略平面図である。

【符号の説明】

1、101、201、401 シリコン層

3、403 ゲート電極

5、405 ゲート絶縁層

7、407 ソース/ドレイン領域

10、410 MOS トランジスタ

11、411 シリコン基板

13、413 絶縁層

19 第 1 の層間絶縁層

19a コンタクトホール

21 下部電極層

23 キャパシタ絶縁層

25 上部電極層

17

18

30 キャパシタ

420 第1の配線層

41a、141a、241a ビット線

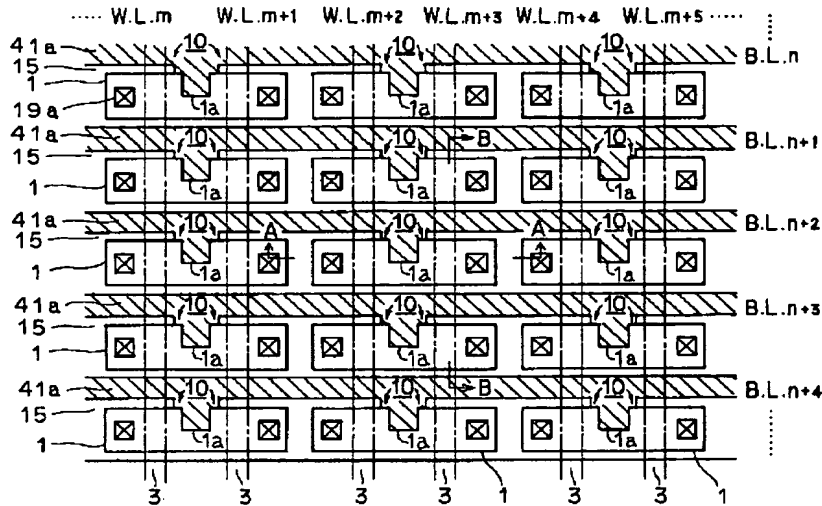
431 プラグ層

419 層間絶縁層

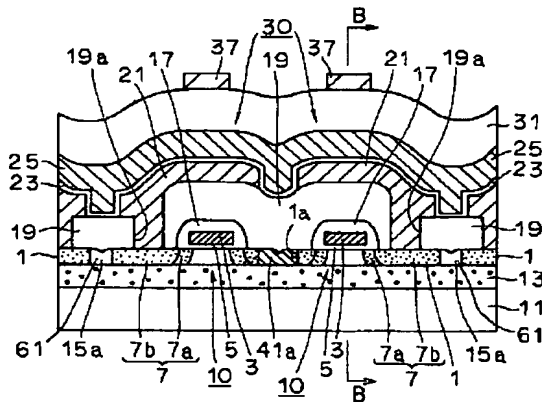
435 第2の配線層

419a コンタクトホール

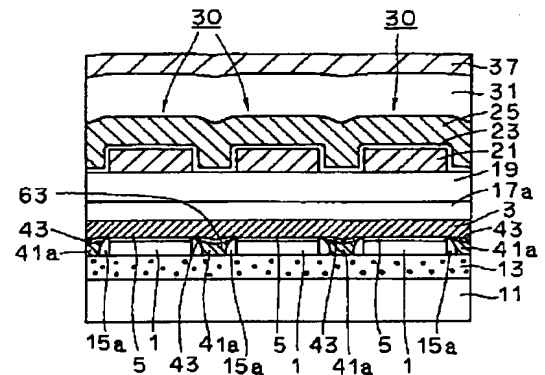
【図1】



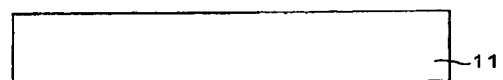
【図2】



【図3】

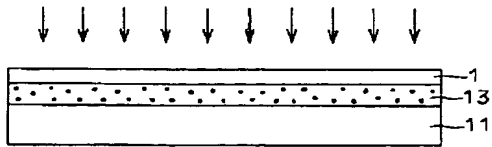


【図4】

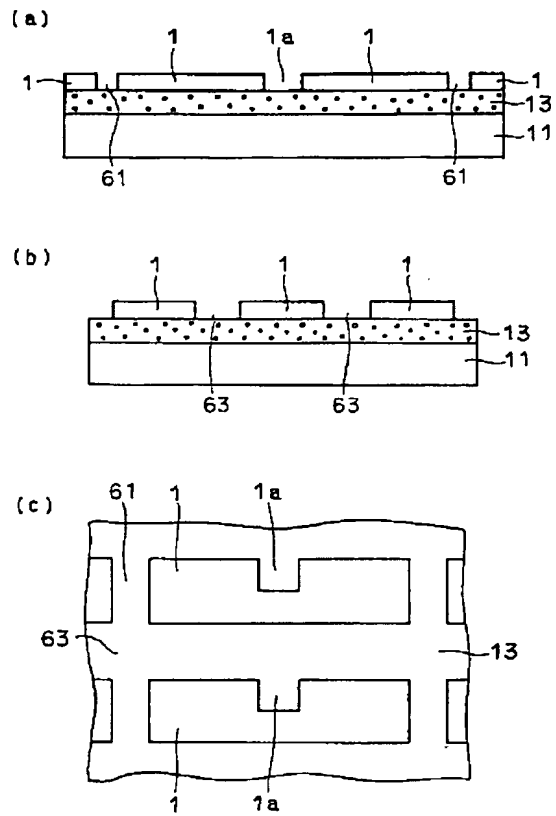


- | | |
|---------------|---------------|
| 1: シリコン層 | 19: 第1の層間絶縁層 |
| 3: ゲート電極 | 19a: コンタクトホール |
| 5: ゲート絶縁層 | 21: 下部電極層 |
| 7: ソース/ドレイン領域 | 23: キャパシタ絶縁層 |
| 10: MOSトランジスタ | 25: 上部電極層 |
| 11: シリコン基板 | 30: キャパシタ |
| 13: 絶縁層 | 41a: ビット線 |

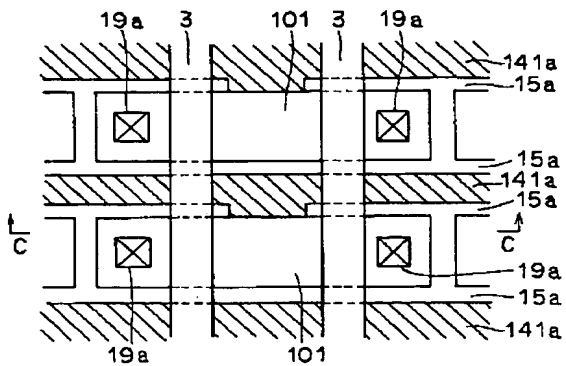
【図5】



【図6】

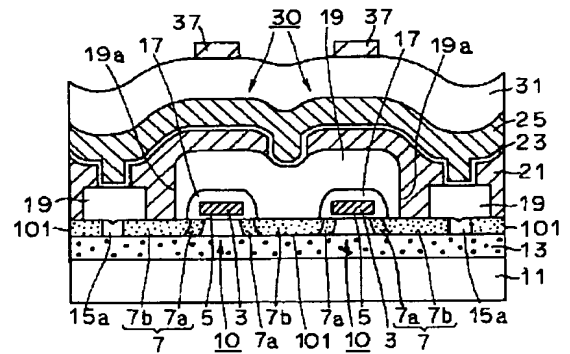


【図22】

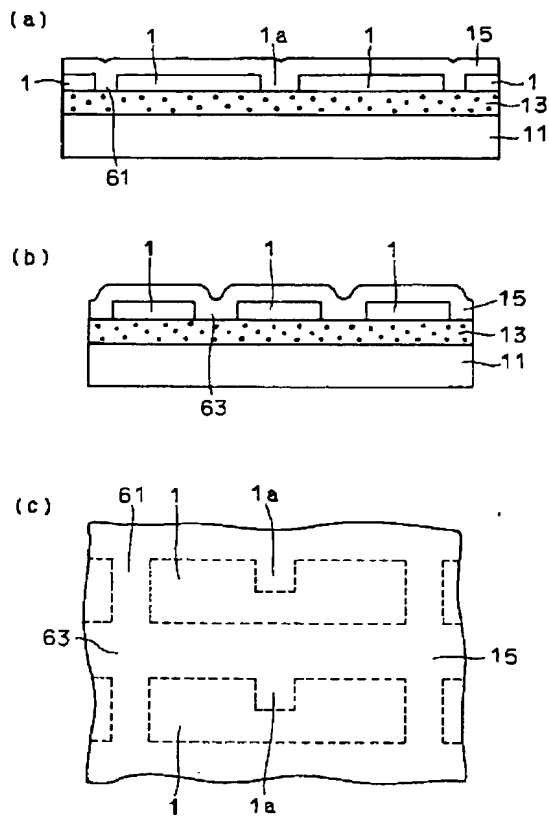


101: シリコン層 141a: ビット線

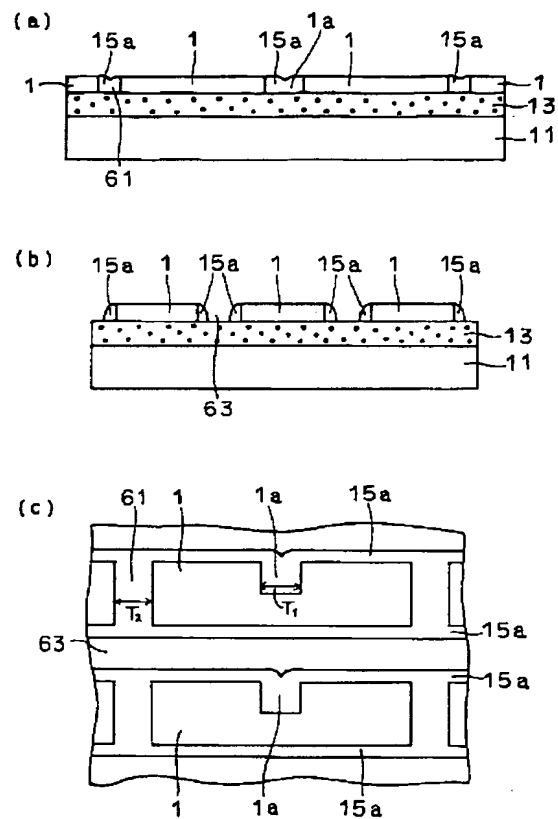
【図23】



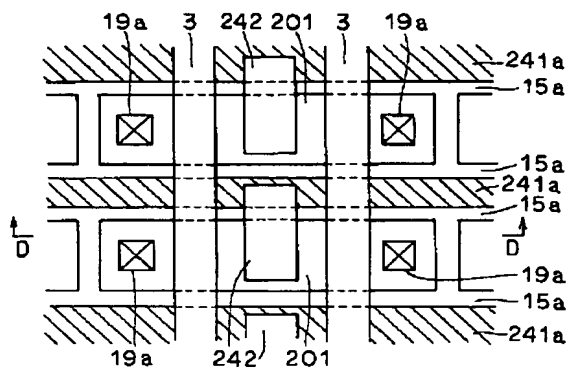
【図 7】



【図 8】

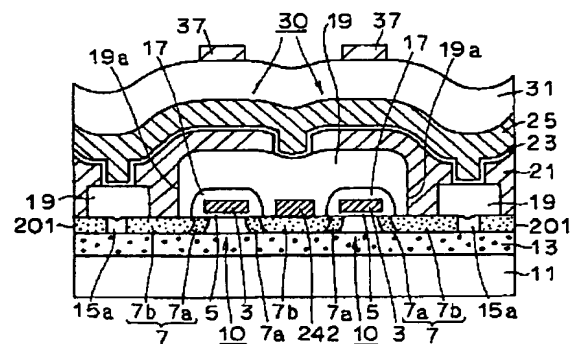


【図 24】

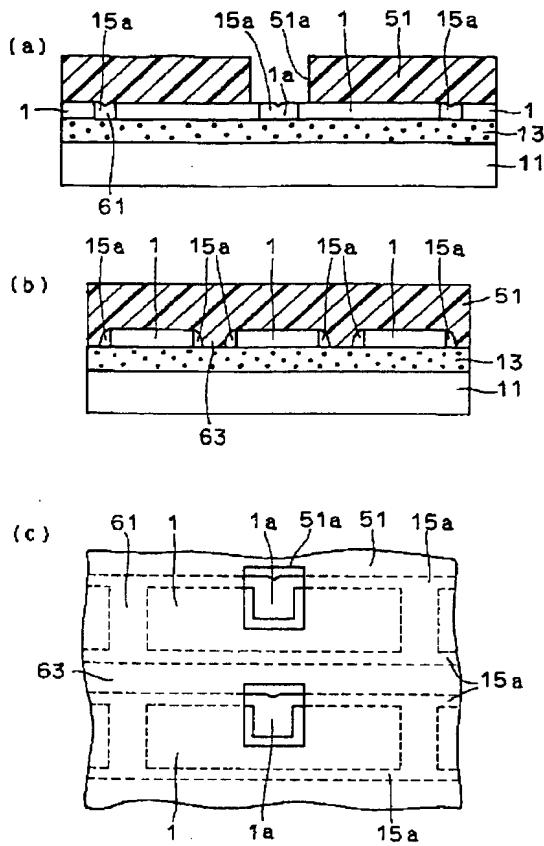


201: シリコン層 241a: ビット線

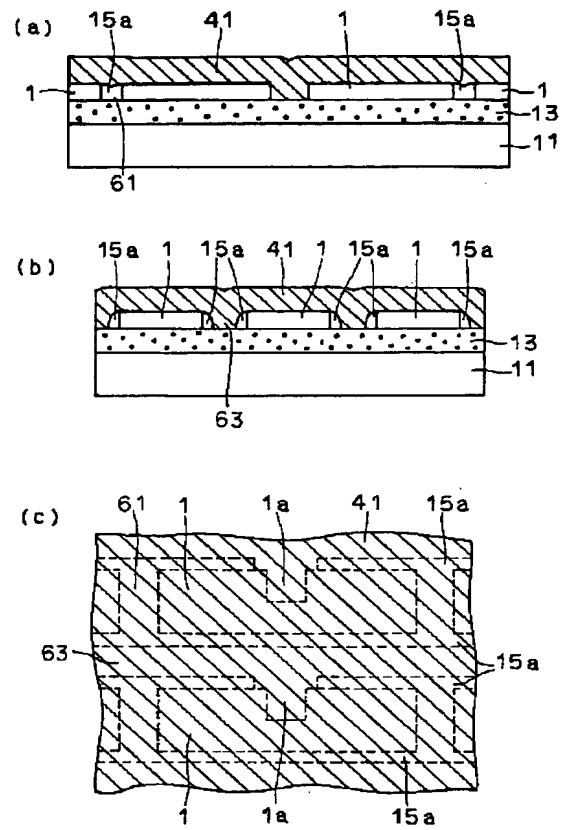
【図 25】



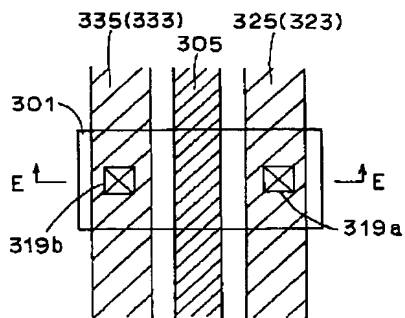
【図9】



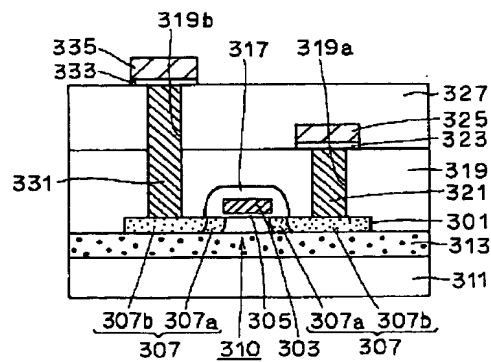
【図10】



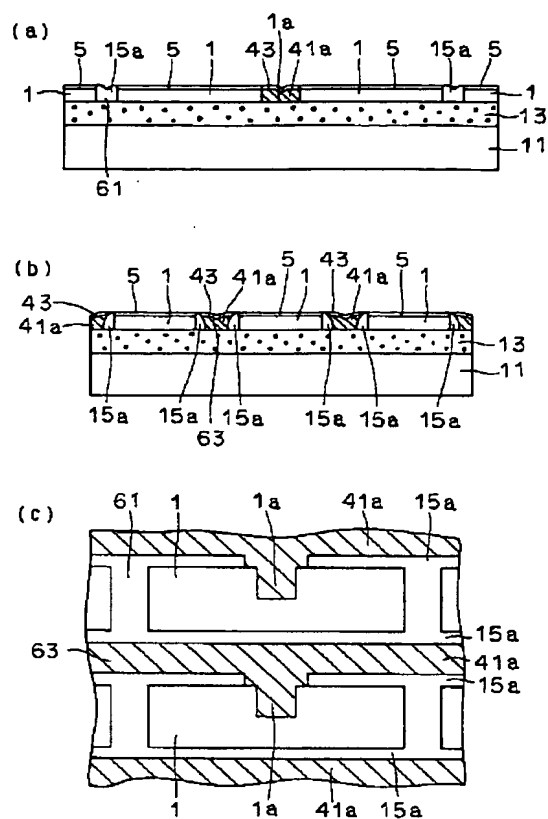
【図26】



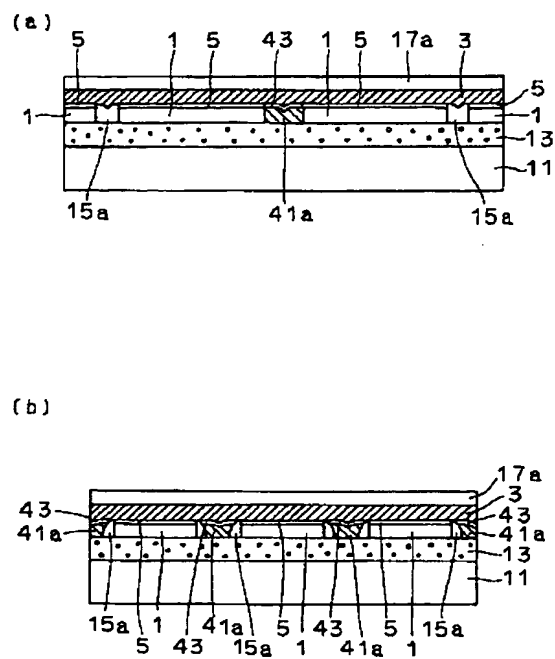
【図27】



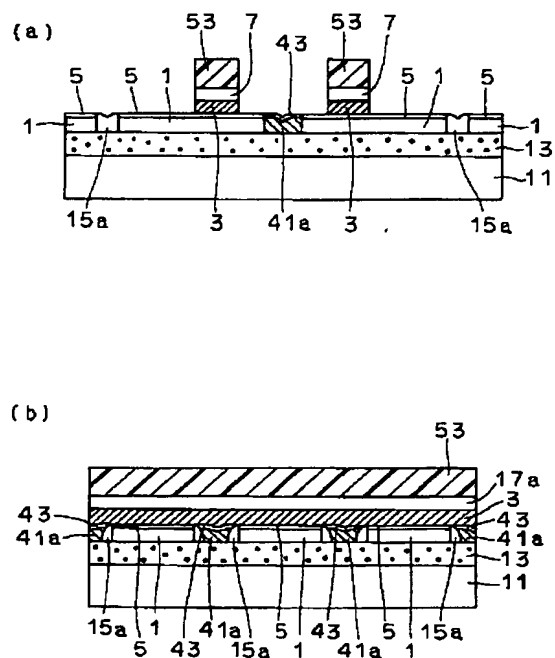
【図11】



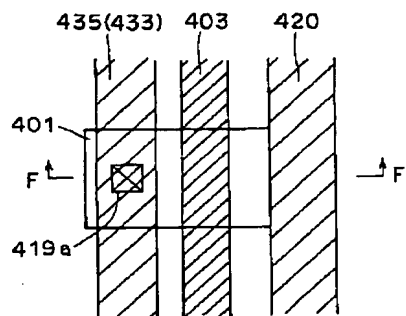
【図12】



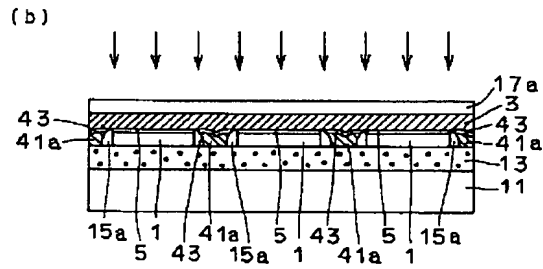
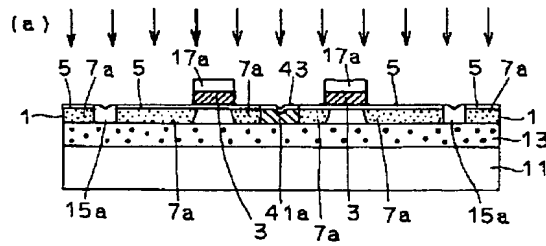
【図13】



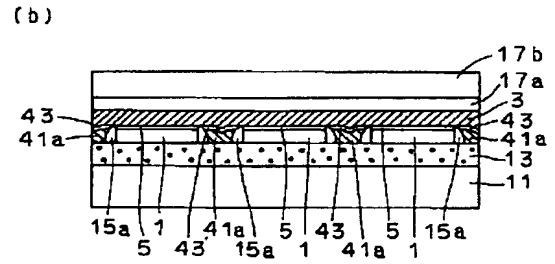
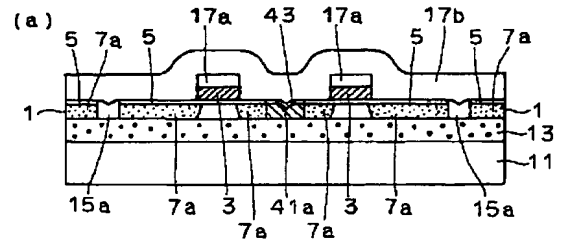
【図28】



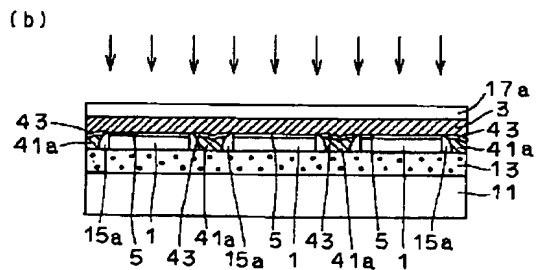
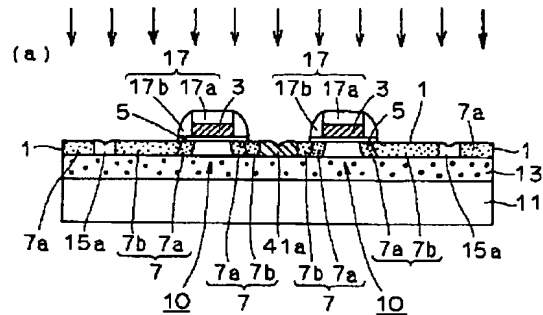
【図14】



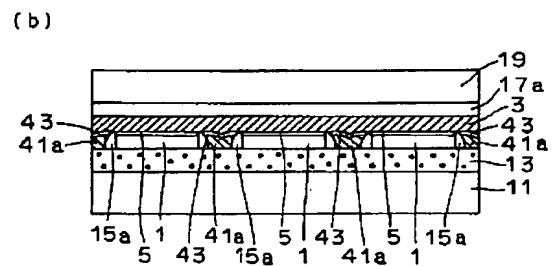
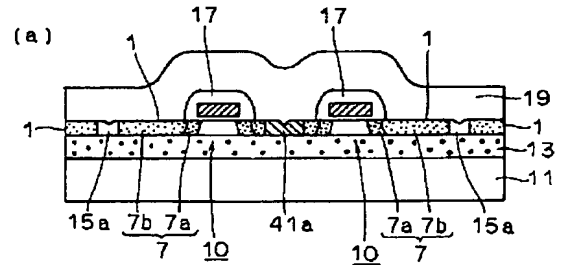
【図15】



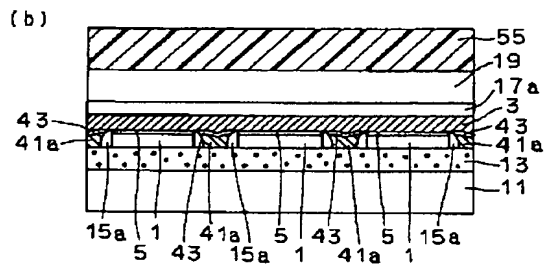
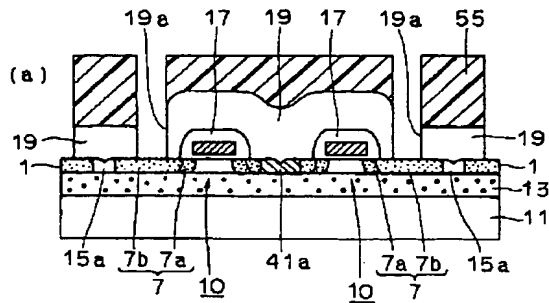
【図16】



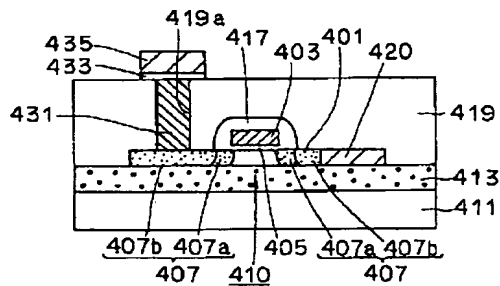
【図17】



【図18】

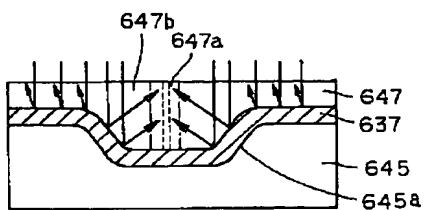


【図29】

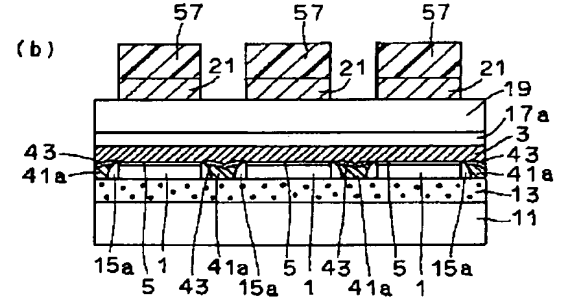
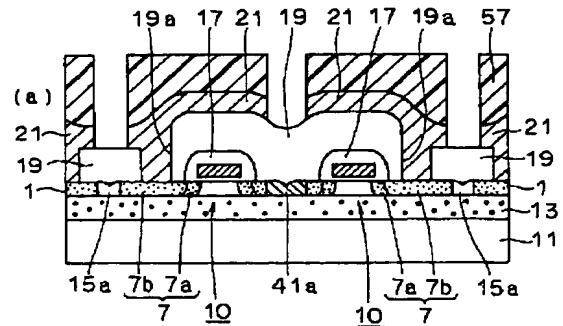


401: シリコン層 411: シリコン基板 431: プラグ層
 403: ゲート電極 413: 絶縁層 435: 第2の配線層
 405: ゲート絶縁層 419: 層間絶縁層
 407: ソース/ドレイン領域 419a: コンタクトホール
 410: MOSトランジスタ 420: 第1の配線層

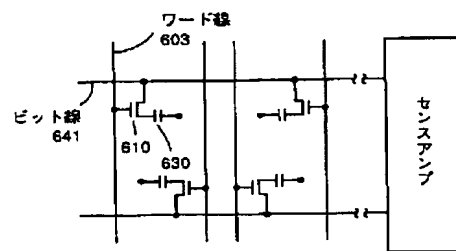
【図35】



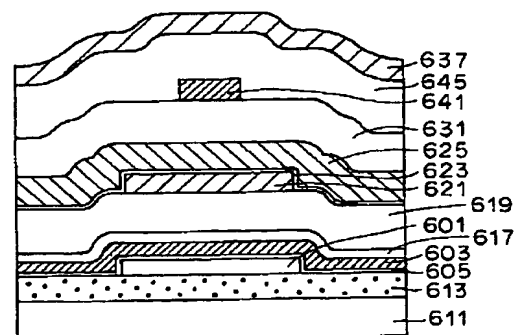
【図19】



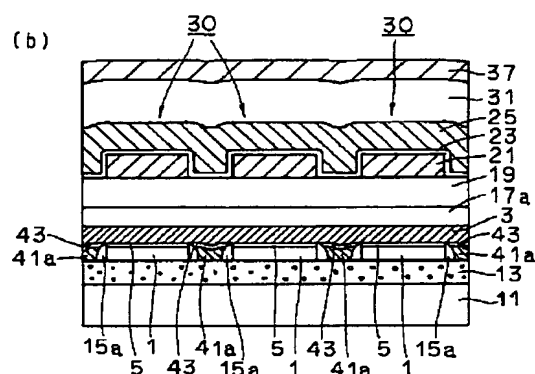
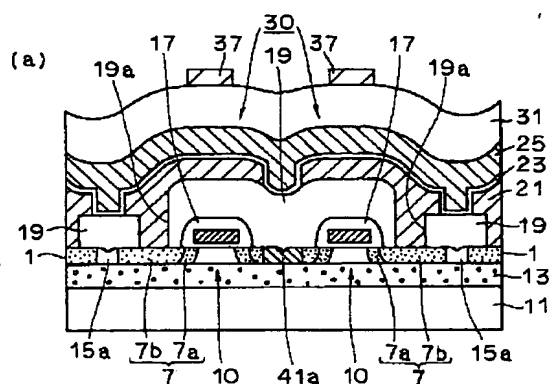
【図31】



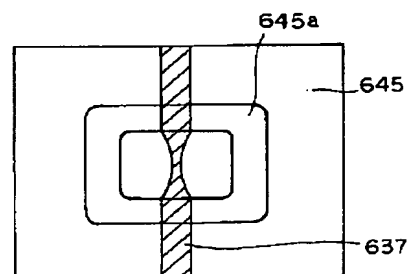
【図33】



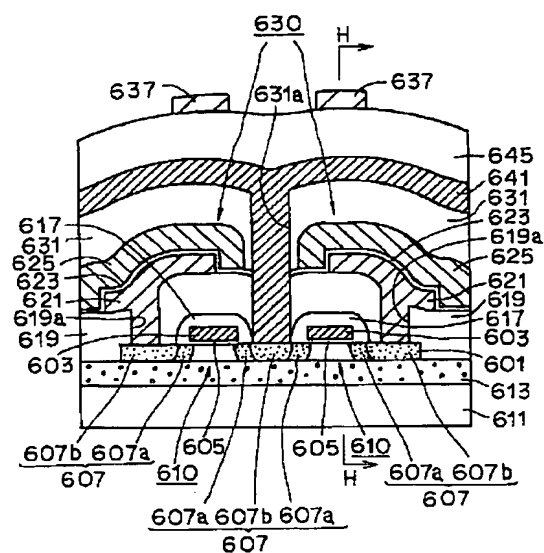
【図 2 1】



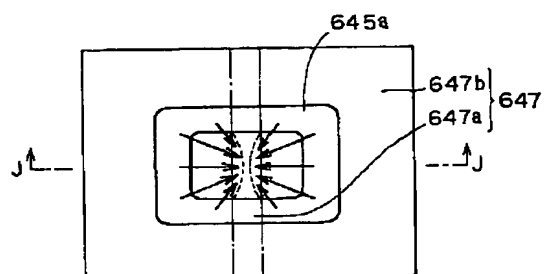
【图 3 6】



【図 3 2】



【図 3 4】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 27/10

3 2 5 G

9056-4M

29/78

3 1 1 C

BEST AVAILABLE COPY